



(19)

(11) Publication number:

62244186 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 61087324

(51) Intl. Cl.: H01S 3/18

(22) Application date: 16.04.86

(30) Priority:

(43) Date of application publication: 24.10.87

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: OGURA MOTOTSUGU
MORI YOSHIHIRO

(74) Representative:

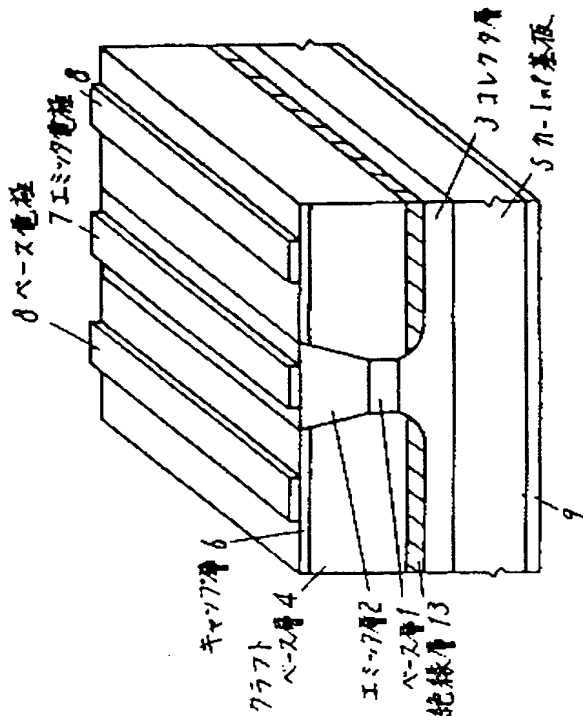
(54) SEMICONDUCTOR ELEMENT

(57) Abstract:

PURPOSE: To facilitate the decrease in a threshold current of a laser transistor, the improvement in the temperature characteristic of optical output characteristic, the increase in the output and a high speed response by forming an insulating layer between a craft base and a collector.

CONSTITUTION: A first conductivity type first semiconductor layer 1, a second semiconductor layer 2 having a wider forbidden band width than the layer 1 contacted with one main surface of the layer 1, a second conductivity type third semiconductor layer 3 contacted with another main surface of the layer 1 oppositely to the layer 2, a fourth semiconductor layer 4 contacted with the side of the layer 1 with first conductivity type, and an insulating layer 13 formed on a partial portion or the entire region contacted with the layer 3 and the layer 4 are formed. For example, an N-type InP collector layer 3, a P-type InGaAsP base layer 1, and an N-type InP emitter layer 2 are sequentially formed on an N-type InP substrate 5. Then, after deeply reverse mesa etching, a semi-insulating I-type InP insulating layer 13, a P-type InP craft base layer 4 and a P-type InGaAsP cap layer 6 are formed.

COPYRIGHT: (C)1987,JPO&Japio



⑫ 公開特許公報(A)

昭62-244186

⑪ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月24日

H 01 S 3/18
// H 01 L 27/15
29/72

7377-5F
6819-5F
8526-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子

⑮ 特 願 昭61-87324

⑯ 出 願 昭61(1986)4月16日

⑰ 発 明 者 小 倉 基 次 門真市大字門真1006番地 松下電器産業株式会社内
⑱ 発 明 者 森 義 弘 門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地
⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

(1) 第1導電型の第1の半導体層の一主面に第2導電型で上記第1の半導体層より広い禁制体幅を持つ第2の半導体層と、上記第2の半導体層と対向し上記第1の半導体層の別の一主面に接する第2導電型の第3の半導体層と、上記第1の半導体層の側面に接し、第1の導電型を有する第4の半導体層と、上記第3の半導体層と上記第4の半導体層の接する一部分あるいは全領域間に形成された絶縁層とを具備してなることを特徴とする半導体素子。

(2) 絶縁層が半絶縁性の半導体層であることを特徴とする特許請求の範囲第1項に記載の半導体素子。

(3) 第1の半導体層がベース、第2の半導体層がエミッタ、第3の半導体層がコレクタ、第4の半導体層がクラフトベースであることを特徴とする

特許請求の範囲第1項に記載の半導体素子。

(4) 第1の半導体層で生じた光のための光学的共振器を具備することを特徴とする特許請求の範囲第1項に記載の半導体素子。

3. 発明の詳細な説明

産業上の利用分野

本発明は化合物半導体を用いたレーザトランジスタ発光トランジスタや光電子集積回路(OEIC)に関するものである。

従来の技術

ヘテロ接合からなるトランジスタの例としてレーザトランジスタや発光トランジスタがある(例えば、特開昭60-216591号公報)。第2図はレーザトランジスタを示し、ベース層1にp-InGaAsP、エミッタ層2とコレクタ層3にn-InPを用いた縦型のapn型トランジスタ構造をもっている。ベース層1にInPと比べて小バンドギャップ、高屈折率を持つInGaAsPを用いたことで、縦方向の光とキャリア双方の閉じ込めを行なっている。また、クラフトベース層4

はベース層1への電流供給と、横方向の光の閉じこめを行なっている。5はn-InP基板、6はベース電極8とのオーミック性をよくするためのキャップ層(p-InGaAsP)、7はエミッタ電極、9はコレクタ電極である。この素子は例えば第3図のエミッタ接地の回路構成を用いて駆動する。図において10は第2図のレーザトランジスタ、11は抵抗器、12はレーザビームを示す。発光させる時は、トランジスタを飽和状態にしてエミッタとコレクタの両方よりベースにキャリアを注入し、再結合させる。再結合により生じた光はレーザビーム12となり、レーザトランジスタの場合ベース層の長辺方向に共振し、レーザ光として外部にとり出される。

一方、発光を停止させるには、トランジスタを活性状態またはカットオフ状態にして、ベースからコレクタへ電子を高速度で吸い出してベース層内のキャリアの再結合を中止させる方法がとられている。

発明が解決しようとする問題点

があった。

問題点を解決するための手段

本発明はかかる問題点を考慮して、npn トランジスタのベース領域につながるクラフトベースとコレクタ間に絶縁層を設けることを特徴とした半導体素子を提供することにある。

作 用

クラフトベースとコレクタ間に絶縁層(1層)を設けることにより、この領域はいわゆるpin構造となる。1層を介しての電流のパスは無く、又キャパシタンス容量も、p-n 接合容量に比べて極めて小さくなり、それ故しきい電流の低下高速度動作、大出力化及び高速度応答の効果が得られる。

実施例

第1図に本発明の実施例を示す。従来例の第2図と同一部分については同一符号で示す。大きく異なるのはクラフトベース層4とコレクタ層3間に半導体からなる絶縁層を形成していることである。

次に本発明の実施例の製造工程を示す。まず

このような電流注入によるレーザ発振は、高密度な電流を注入するため、本来の電流経路ではない層を通る、いわゆるリーク電流が問題となる。特にこの従来例のような横方向電流注入の構造では、ベース・エミッタ間接合及びベース・コレクタ間接合の面積に比べ、クラフトベース・コレクタ間接合の面積は約100倍程度も大きい。従ってベースに大電流注入をする時にはこの接合に全注入電流の割割が流れ込むことになり、注入電流の増加をまねく。この電流はレーザ発振に寄与しない無効な電流で、半導体レーザのしきい値電流の増加の原因となる。そして、無効電流は温度の上昇と共に増加するため、レーザ発振の温度特性を劣化させる。又高速度動作を考えた場合、そのカットオフ周波数 f_T は、時定数 $\tau = CR$ を用いて $f_T = \frac{1}{2\pi\tau}$ でほぼ決まる。抵抗 R はコンタクト抵抗やベース抵抗等である。容量 C はこのレーザ構造の場合、前述したクラフトベース・コレクタ間容量が大きく関係しており、それ故、このクラフトベース・コレクタ間容量を極力小さくする必要

(100)面を主面とするn-InP基板5の上にn-InPコレクタ層3($n=5 \times 10^{17} \text{cm}^{-3}$, $t=5 \mu\text{m}$), p-InGaAsPベース層1($p=5 \times 10^{17} \text{cm}^{-3}$, $t=0.2 \mu\text{m}$), n-InPエミッタ層2($n=5 \times 10^{17} \text{cm}^{-3}$, $t=3 \mu\text{m}$)を順次液相成長法あるいはMOVPE法で形成する。次に、厚さ2000Åの SiO_2 膜を<011>方向に幅4μmのストライプ状に形成し、このストライプ SiO_2 膜をマスクとしてブロムメタノール系エッチング液で、n-InPコレクタ層の3μm程度まで深く逆メサエッチングする。その後ウエハの露出したところに液相成長法かMOVPE法で、選択的に、ベース層1の端部に触れないように、半絶縁性(例えばFドープ)のi-InPの半導体層としての絶縁層($\rho > 10^4 \Omega\text{cm}$)13を1~2μm程度エピタキシャル成長させ、順次p-InPクラフトベース($p=1 \times 10^{18} \text{cm}^{-3}$, $t=数 \mu\text{m}$), p-InGaAsPキャップ層6($p=3 \times 10^{18} \text{cm}^{-3}$, $t=0.5 \mu\text{m}$)を形成する。マスクとしての SiO_2 を除去した後、エミッタ、ベース電極7, 8を形成した後、n-InP基板5の

裏面を研磨してトータル膜厚を $100\mu\text{m}$ 程度とし、しかる後にコレクタ電極9を形成する。

その後へき開にて半導体素子(レーザトランジスタ)の大きさを決めるが、普通は共振器長が $250\mu\text{m}$ 、共振器幅は約 $2\mu\text{m}$ となっている。本発明を用いることにより、発振のしきい値電流は $10\sim 20\text{mA}$ 、高速応答としても 20GHz を十分クリアできるようになった。一方、絶縁層の代わりに逆バイアス印加のp-n接合も考えられるが、電流のブロック層としての役目はある程度果たすが、接合容量の低減にはならず、高速化は期待できない。

尚、今回の実施例では、絶縁層をエピタキシャル成長にて形成したが、逆メサエッチングの後、イオン注入法(例えばボロン 150keV 、 $1\times 10^{14}\text{cm}^{-2}$ ドーズ)によりクラフトベース層のみを選択的にボロンを打込み、熱処理を施し、表面を軽くバッファエッチングした後、順次クラフトベース層4、キャップ層6を形成しても同じ結果が得られる。又今回はInP系に対して説明し

たが、GaAs系でも十分適用できる。GaAs系の場合、ベース層はGaAs、エミッタ、コレクタ、クラフトベース層はAlGaAs層で、絶縁層はノンドープのAlGaAsやAlGaInPあるいはバニジウムドープのGaAsでもよい。

発明の効果

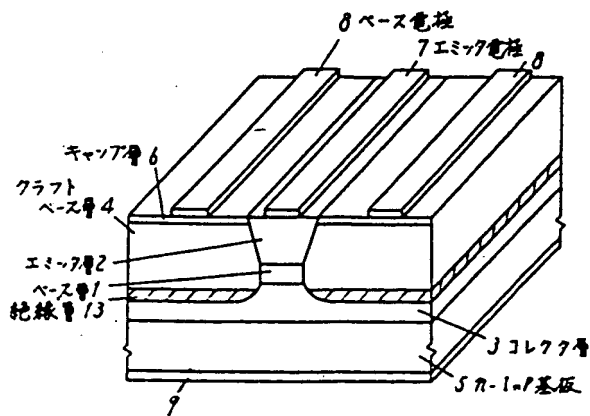
本発明を横方向電流注入型半導体素子(例えばレーザトランジスタ)に適用することにより、しきい値電流の低下、光出力特性の温度特性の向上、大出力化、更には高速応答の実現が容易となる。又低しきい値、高速応答の横方向電流注入型半導体素子は将来のプレーナ型OEICの主要デバイスとなり、将来性大なるものである。

4. 図面の簡単な説明

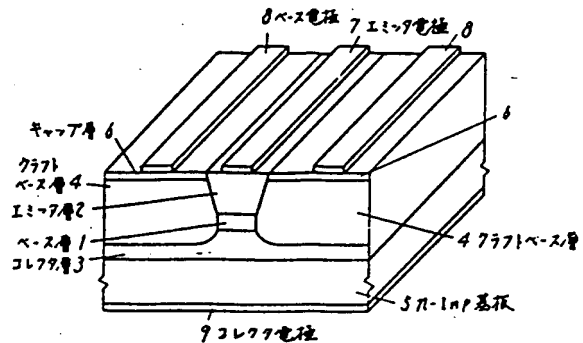
第1図は本発明の一実施例の要部斜視図、第2図は従来例の構造を示す要部斜視図、第3図は従来素子の使用回路図である。

1……ベース層、2……エミッタ層、3……コレクタ層、4……クラフトベース層、13……絶縁層。

第1図



第2図



第3図

